

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

KIE-BONG KU

Application No.:

Filed:

For: **Semiconductor Memory Device with  
Modified Global Input/Output  
Scheme**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2003-34876	30 May 2003

A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 12/31/03

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800

William V. Babbitt  
William Thomas Babbitt, Reg. No. 39,591



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0034876  
Application Number

출 원 년 월 일 : 2003년 05월 30일  
Date of Application MAY 30, 2003

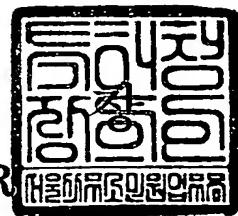
출 원 인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.

2003 년 10 월 24 일



특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.05.30
【발명의 명칭】	글로벌 입출력 스키마를 변경한 메모리 소자
【발명의 영문명칭】	MEMORY DEVICE WITH MODIFIED GLOBAL INPUT OUTPUT SCHEME
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	구기봉
【성명의 영문표기】	KU,Kie Bong
【주민등록번호】	720121-1903818
【우편번호】	361-240
【주소】	충청북도 청주시 흥덕구 개신동 우정한가람아파트 519호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	17 면 17,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	443,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 반도체 메모리 소자에 관한 것으로, 리드/라이트 동작시 공유하여 사용하던 글로벌 입출력 라인을 분리하여 사용하며, 입출력 멀티플렉서의 구조를 변경함으로써, G10 리피터를 사용하는 경우에 발생하던 데이터 오류를 방지한 발명이다. 이를 위한 본 발명은, 비트라인 감지 증폭기의 출력을 입력받아 이를 증폭하여 제 1 데이터 라인으로 출력하는 메인 증폭기; 상기 제 1 데이터 라인에 접속된 입출력 멀티플렉서; 상기 제 1 데이터 라인에 접속된 리피터; 쓰기 데이터를 입력받아 이를 제 2 데이터 라인으로 출력하는 입출력 라이트부; 및 상기 제 2 데이터 라인에 접속되어 상기 제 2 데이터 라인에 실린 데이터를 상기 비트라인 감지증폭기로 출력하는 라이트 드라이버를 포함하여 이루어진다.

**【대표도】**

도 5

**【색인어】**

글로벌 입출력 라인, 리피터, 입출력 멀티플렉서, 커플링 노이즈

### 【명세서】

#### 【발명의 명칭】

글로벌 입출력 스킴을 변경한 메모리 소자{MEMORY DEVICE WITH MODIFIED GLOBAL INPUT OUTPUT SCHEME}

#### 【도면의 간단한 설명】

도1은 종래기술에 따른 메모리 소자에서 데이터의 입출력 경로를 개략적으로 도시한 블록도면,

도2는 종래기술에 따른 메모리 소자에서 입출력 라이트부의 상세 회로를 도시한 회로도,

도3은 종래기술에 따른 메모리 소자에서 입출력 멀티플렉서의 구성을 도시한 회로도,

도4는 종래기술에 따른 메모리 소자에서 리피터(repeater)의 구조를 도시한 회로도,

도5는 본 발명의 일실시예에 따른 메모리 소자에서 데이터의 입출력 경로를 도시한 블록도면,

도6은 본 발명의 일실시예에 따른 메모리 소자에서 입출력 멀티플렉서의 구성을 도시한 회로도,

도7은 본 발명의 일실시예에 사용된 클럭화된 인버터의 심볼 및 내부회로를 도시한 도면

도8은 본 발명의 일실시예에 따른 메모리 소자에서 입출력 라이트부의 상세 회로를 도시한 회로도.

\*도면의 주요부분에 대한 부호의 설명\*

500 : 비트라인 감지증폭기 501 : 메인 증폭기

502 : 라이트 드라이버 503 : MOB 라인

504 : DINB 라인 506 : 입출력 멀티플렉서

507 : 입출력 라이트부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체 메모리 소자에 관한 것으로 특히, 리드/라이트 동작시에 공유하여 사용하던 글로벌 입출력(Global Input Output : 이하, GIO) 라인을 리드 동작에 사용되는 MOB 라인과 라이트 동작에 사용되는 DINB 라인으로 각각 분리하여 사용하며 또한, 입출력 멀티플렉서의 구조를 변경함으로써 리피터를 사용하는 경우에 발생하던 데이터 오류를 방지한 메모리 소자에 관한 것이다.

<15> 종래기술에 따른 메모리 소자에서, 글로벌 입출력 라인(Global Input Output Line : 이하, GIO Line)은 리드/라이트 동작시에 공통으로 사용되었는데, 이와같은 리드/라이트 동작시에 개략적인 데이터의 입출력 경로를 도1에 도시하였다.

<16> 도1을 참조하여, 셀(cell)에 저장된 데이터를 외부로 읽어내는 리드 동작에 대해 살펴보면 다음과 같다. 먼저, 셀에 저장된 데이터는 비트라인 감지증폭기(100)를 통해 출력되며, 비트라인 감지증폭기(100)의 출력은 메인 증폭기(101)를 거쳐서 GIO 라인에 실리게 된다.

<17> 메모리에서 GIO 라인은 매우 긴 라인이며, 때로는 그 길이가  $8000\mu\text{m}$ 가 넘기도 한다. 따라서 이와같이 부하가 큰 GIO 라인을 구동하기 위해 메인 증폭기(101)가 사용된다. 그러나 메인 증폭기(101)를 사용하여 GIO 라인에 신호를 인가하더라도, GIO 라인에 존재하는 큰 부하때문에 신호의 속도가 감소하므로, 이를 보완해 줄 목적으로 리피터(repeater)를 GIO 라인에 접속하여 사용한다. 도1에는 리피터는 도시되지 않았으며, 리피터의 구성에 대해서는 후술한다.

<18> 이와같이 메인증폭기(101)를 거쳐 GIO 라인에 실린 데이터는 입출력 멀티플렉서(103)로 입력된 후, 입출력 멀티플렉서(103)에서 선택적으로 출력되어 데이터 출력 버퍼(미도시)로 출력된다. 여기서, 입출력 멀티플렉서(103)는 x4, x8 ,x16 모드 등 데이터 폭(data width)에 따른 모드 구별 및 병렬 테스트 모드를 위해 사용된다.

<19> 다음으로, 도1을 참조하여 셀에 데이터를 저장하는 라이트 동작에 대해 살펴본다. 셀에 저장하고자 하는 입력데이터(DIN)는 데이터 입력 드라이버(미도시)를 통해 입출력 라이트부(104)로 입력되며, 입출력 라이트부(104)는 입력된 데이터를 증폭하여 GIO 라인으로 출력한다. GIO 라인에 실린 입력데이터는 라이트 드라이버(102)로 입력된 후, 비트라인 감지증폭기(100)를 거쳐 셀에 저장된다.

<20> 이와같이 종래기술에 따른 메모리 소자에서는 리드 동작과 라이트 동작시에 GIO 라인을 공유하여 사용하였으며, 또한 GIO 라인의 신호전달 속도를 증가시키기 위해서 리피터를 사용하였다. 이와같은 리피터를 사용하는 경우, 노이즈에 민감한 리피터는 GIO 라인에 실린 데이터를 뒤집어 버리는 오류를 발생시킬 수 있었는데, 이에 대해서는 도2 내지 도4를 참조하여 설명한다.

<21> 도2 내지 도4를 참조하여 설명하기에 앞서, 'H' 는 논리하이(logic high)를 뜻하며, 'L' 는 논리로우(logic low)를 뜻하기로 하며 이를 참조하여 설명한다.

<22> 도2는 도1에 도시된 종래기술에 따른 메모리 소자에서, 입출력 라이트부(104)의 상세구성을 도시한 회로도로서, 이를 참조하여 입출력 라이트부의 구성을 설명하면 다음과 같다.

<23> 입출력 라이트부(104)는 전원전압단과 노드 A 사이에 접속되어 있으며 게이트로 DINST 신호를 입력받는 PMOS 트랜지스터(205)와, 전원전압단과 노드 A 사이에 접속되어 있으며 게이트는 노드 B에 연결된 PMOS 트랜지스터(206)와, 전원전압단과 노드B 사이에 접속되어 있으며 게이트는 노드 A에 연결된 PMOS 트랜지스터(208)와, 전원전압단과 노드 B 사이에 접속되어 있으며 게이트로 DINST 신호를 입력받는 PMOS 트랜지스터(209)와, 노드 A와 노드 B 사이에 접속되어 있으며 게이트로 DINST 신호를 입력받는 PMOS 트랜지스터(207)와, 노드 A에 드레인(drain)이 접속되며 게이트는 노드 B에 연결된 NMOS 트랜지스터(203)와, NMOS 트랜지스터(203)의 소스(source)와 노드 C 사이에 접속되어 있으며 게이트로 정 데이터 입력신호(DIN 신호)을 입력받는 NMOS 트랜지스터(201)와, 노드 B에 드레인이 접속되며 게이트는 노드 A에 연결된 NMOS 트랜지스터(204)와, NMOS 트랜지스터(204)의 소스와 노드 C 사이에 접속되어 있으며 게이트로 부 데이터 입력신호(DINB 신호)를 입력받는 NMOS 트랜지스터(202)와, 노드 C와 접지단 사이에 접속되어 있으며 게이트로 DINST 신호를 입력받는 NMOS 트랜지스터(200)와, 노드 B에 연결되어 노드 B의 신호를 반전하여 출력하는 인버터(210)와, 상기 인버터(210)의 출력을 반전하여 출력하는 인버터(211)와, 노드 A에 연결되어 노드 A의 신호를 반전하여 출력하는 인버터(212)와, 전원전압단과 노드 D 사이에 접속되어 있으며 게이트로 인버터(211)의 출력을 입력받는 PMOS 트랜지스터(213)와, 노드 D와 접지단 사이에 접속되어 있으며 게이트로 인버터(212)의 출력을 입력받는 NMOS 트랜지스터(214)와, 노드 D의 신호를 G10 라인으로 출력하는 래치(215)를 포함하여 구성되어 있다.

<24> DINST 신호는 데이터 입력 스트로브(input data strobe) 신호로서, DINST 신호가 'H'로 활성화된 경우에는, 입출력 라이트부(104)가 동작을 시작하여, NMOS 트랜지스터(202)의 게이트로 입력되는 부 데이터입력(DINB)이 GIO 라인에 실리게 된다.

<25> 이를 좀더 상세히 설명하면 다음과 같다. 먼저, DINST 신호가 'L'로 비활성화된 경우에는, NMOS 트랜지스터(200)는 턴-오프되고, PMOS 트랜지스터(205, 209)는 턴 온되므로, 노드 A 및 노드 B는 모두 'H'가 된다.

<26> 따라서, 인버터(210)와 인버터(212)의 입력은 모두 'H'가 되며, 결과적으로 PMOS 트랜지스터(213)와 NMOS 트랜지스터(214)는 모두 턴 오프되므로, 입출력 라이트부(104)는 동작하기 않는다. 따라서, GIO 라인에는 새로운 신호가 실리는 것이 아니라 래치(215)에 저장된 신호를 유지하고 있다.

<27> 다음으로 DINST 신호가 'H'로 천이하여 활성화되고, 'H'인 DIN 신호와 'L'인 DINB 신호가 각각 인가된 경우를 살펴보면 다음과 같다.

<28> 먼저, DINST 신호가 'H'로 천이하기 전에는 'L'였으므로, 노드 A와 노드 B는 'H' 상태에 있다. 따라서 노드 B에 게이트가 연결된 NMOS 트랜지스터(203)와 노드 A에 게이트가 연결된 NMOS 트랜지스터(204)는 턴 온 상태에 있다.

<29> DINST 신호가 'H'로 천이하면 입출력 라이트부(104)가 동작하는데, 턴온 상태에 있는 NMOS 트랜지스터(203)와 더불어, 게이트로 'H'인 DIN 신호를 입력받는 NMOS 트랜지스터(201)가 턴 온됨에 따라, 노드 A의 전압은 감소하기 시작한다.

<30> 반면에, NMOS 트랜지스터(202)의 게이트로는 'L'인 DINB 신호가 입력되므로, 노드 B의 전압은 감소하지 않고 'H' 상태를 유지한다. 또한, 노드 A의 전압이 감소함에 따라, PMOS 트랜

지스터(208)는 턴온되고 NMOS 트랜지스터(204)는 턴 오프되므로, 노드 B는 더욱 강한 'H' 상태가 된다.

<31> 이와같이 노드 B가 강한 'H' 상태가 될 수록, NMOS 트랜지스터(203)는 더욱 강하게 턴온되고, PMOS 트랜지스터(206)는 더욱 강하게 턴 오프되므로, 노드 A의 전압은 더욱 더 빨리 감소하게 된다.

<32> 결과적으로 노드 A는 'L' 상태가 되며, 인버터(212)의 출력은 'H' 가 되어 NMOS 트랜지스터(214)를 턴온 시킨다. 따라서, 노드 B는 'H' 상태가 되며, 인버터(211)의 출력은 'H' 가 되어 PMOS 트랜지스터(213)를 턴 오프 시킨다. 따라서, DINB로 입력되었던 'L' 가 GIO 라인으로 출력됨을 알 수 있다.

<33> 전술한 바와 반대의 경우 즉, DIN 신호가 'L' 이며 DINB 신호가 'H' 인 경우에는, DINB 신호인 'H' 가 GIO 라인으로 출력된다.

<34> 이와같이 동작을 하는 입출력 라이트부(104)는 다이내믹(dynamic) 타입으로 구성되어 있어, 전류 소모가 많은 단점이 있었으며, 또한, 레이아웃(layout) 시에는 대칭적으로 레이아웃 하여야 하는 문제가 있었다.

<35> 도3은 도1에 도시된 종래기술에 따른 메모리 소자에서, x8 모드용 입출력 멀티플렉서(103)의 상세구성을 도시한 회로도로서, 이를 참조하여 입출력 멀티플렉서(103)의 구성을 설명하면 다음과 같다.

<36> x8 모드용 입출력 멀티플렉서(103)는 어드레스 신호인 Y11 신호를 입력받아 이를 반전시켜 출력하는 인버터(300)와, x8 신호와 인버터(300)의 출력을 입력받는 낸드게이트(301)와, x8 신호와 Y11 신호를 입력받는 낸드게이트(302)와, 낸드게이트(302)의 출력을 반전하여 출력하는

인버터(304)와, 낸드게이트(301)의 출력을 반전하여 출력하는 인버터(305)와, WT 신호을 입력 받아 이를 반전하여 출력하는 인버터(303)와, 인버터(303)의 출력과 인버터(304)의 출력을 입력받는 낸드게이트(306)와, 인버터(303)의 출력과 인버터(305)의 출력을 입력받는 낸드게이트(307)와, 낸드게이트(306)의 출력에 제어받아 GI0<0> 신호를 멀티플렉서의 출력단인 MX\_OUT으로 출력하는 전송게이트(308)와, 낸드게이트(307)의 출력에 제어받아 GI0<1> 신호를 멀티플렉서의 출력단인 MX\_OUT으로 출력하는 전송게이트(309)와, 멀티플렉서의 출력단에 연결된 래치(310)로 구성되어 있다.

<37> 도3에 도시된 입출력 멀티플렉서는 x8 모드용 멀티플렉서이며, x8 모드에서 리드 동작시에는 GI0 라인에 실린 데이터 중 일부만이 멀티플렉서의 출력단인 MX\_OUT으로 출력된다.

<38> 즉, x8 모드에서는 총 16개의 GI0<0,15> 신호중에서 8 개의 신호만이 멀티플렉서의 출력이 되야 하므로, GI0<0,1> 중에서 1개의 신호, GI0<2,3> 중에서 1개의 신호, GI0<4,5> 중에서 1개의 신호, ... GI0<14,15> 중에서 1개의 신호가 멀티플렉서의 출력이 된다. 이때, GI0<0,1> 중에서 1개의 신호를 선택하는 제어신호가 Y11 신호이다.

<39> 도3에 도시된 입출력 멀티플렉서는 x8 모드용 멀티플렉서이므로, x8 모드가 아닌 경우에는, 입출력 멀티플렉서의 출력은 래치(310)에 저장된 값을 그대로 유지한다. 또한, 입출력 멀티플렉서의 리드 동작에서만 새로운 값을 출력하므로, 라이트 동작시에도 래치(310)에 저장된 값을 그대로 유지한다.

<40> 도3에 도시된 WT 신호는 라이트 동작시에 'H'로 활성화되는 신호이며, 리드 동작시에는 'L'로 비활성화된다. 또한, x8 신호는 x8 모드시에 'H'로 활성화되며, x8 모드가 아닌 경우에는 'L'로 비활성화 된다.

<41> 전술한 바와같이, 도3에 도시된 입출력 멀티플렉서는 리드동작시 즉, WT 신호가 'L'로 비활성화되었을 때, Y11 신호에 따라, 메인 증폭기의 출력인 GIO<0,1> 중 어느 하나를 출력한다. 즉, Y11 신호가 'H' 인 경우에는 GIO<0>이 전송게이트(308)를 통과하여 입출력 멀티플렉서의 출력이 되며, Y11 신호가 'L' 인 경우에는 GIO<1>이 전송게이트(309)를 통과하여 입출력 멀티플렉서의 출력이 된다.

<42> WT 신호가 'H'로 활성화된 경우에는 라이트 동작이 수행되는 경우이므로, 입출력 멀티플렉서는 동작하지 않음은 전술한 바와같다. 즉, WT 신호가 'H'로 활성화됨에 따라, 낸드게이트(306, 307)는 논리 'H'를 출력하며, 결과적으로, 전송게이트(308, 309)는 오프되므로, MX\_OUT은 래치(310)에 저장된 데이터를 유지한다.

<43> 또한, x8 모드가 아닌 경우에는 x8 신호가 'L'로 비활성화되어 있으므로, 낸드게이트(301, 302)는 'H'를 출력하며, 낸드게이트(306, 307) 역시 'H'를 출력하게 되므로, 결과적으로 전송게이트(309, 309)는 오프되어, MX\_OUT은 래치(310)에 저장된 이전 데이터를 유지한다.

<44> 도1 내지 도3에 도시된 바와같이, 리드/라이트 동작에서 GIO 라인을 공유하는 종래의 메모리 소자에서 리드/라이트 동작을 살펴본다.

<45> 먼저, N-1 번째 클럭에서 셀에 저장된 'H' 데이터를 리드하는 경우에는, 셀에 저장된 'H' 데이터는 비트라인 감지증폭기(100), 메인 증폭기(101), GIO 라인 및 입출력 멀티플렉서(103)를 경유하여 출력된다.

<46> 리드 동작이므로 입출력 멀티플렉서(103)에 구비된 전송게이트(308, 309)는 턴온 되어, GIO 라인에 실린 'H' 데이터가 입출력 멀티플렉서의 출력이 되며, 입출력 멀티플렉서의 출력단에 구비된 래치(310)에는 'H' 데이터가 저장된다.

<47> 다음으로, N 번째 클럭에서 'L' 데이터를 셀에 라이트 하는 경우에, 셀에 라이트 하고자 하는 'L' 데이터는 입출력 라이트부(104), GIO 라인, 라이트 드라이버(102), 비트라인 감지증폭기(100)를 경유하여 셀에 저장된다.

<48> 이와같은 라이트 동작에서는 도3에 도시된 WT 신호가 'H'로 활성화되어, 전송게이트(308, 309)는 오프되므로, 입출력 멀티플렉서(103)의 출력단에 구비된 래치(310)에 저장된 값은 변하지 않는다. 즉, 래치(310)는 N-1 번째 클럭에서 래치하고 있던 'H' 데이터를 그대로 래치하고 있다.

<49> 다음으로, N+1 번째 클럭에서 'L' 데이터를 리드하는 경우에는, 셀에 저장된 'L' 데이터는 비트라인 감지증폭기(100), 메인 증폭기(101), GIO 라인 및 입출력 멀티플렉서(103)를 경유하여 출력된다.

<50> 리드 동작이므로 입출력 멀티플렉서(103)에 구비된 전송게이트(308, 309)는 턴온 되어, GIO 라인에 실린 'L' 데이터가 입출력 멀티플렉서의 출력이 되며, 입출력 멀티플렉서의 출력단에 구비된 래치(310)를 반전시킨다. 즉, 래치(310)는 'H' 데이터를 래치하고 있었는데, N+1 번째 클럭에서는 'L' 데이터를 래치하게 된다.

<51> 이때, GIO 라인은 메인 증폭기(101)를 통해 구동되므로, GIO 라인에 실린 'L' 데이터는 입출력 멀티플렉서의 출력단에 구비된 래치(310)를 충분히 반전시킬 수 있는 구동력을 가지고 있다.

<52> 즉, 리드동작시에 전송게이트(308) 또는 전송게이트(309)가 온 되어, GIO 라인과 래치(310)간에 전하공유(charge sharing)가 생기더라도, 메인 증폭기에 의해 구동되는 GIO 라인은 래치(310)를 반전시킬 수 있다.

<53> 하지만, GIO 라인의 신호전달 속도를 증가시키기 위해서 GIO 라인에 리피터를 접속하여 사용하는 경우에는 문제가 발생한다. 리피터는 신호전달 속도의 증가를 위해서 사용되는 소자로서, 논리임계전압(logic threshold voltage)을 조절하여 신호의 빠른 천이(transition)를 이루기 위한 소자이다.

<54> 도4는 통상적인 리피터의 구성을 도시한 도면으로, 리피터는 GIO 라인에 접속된 래치(400)와, GIO 라인에 각각 접속되어 GIO 라인의 신호를 반전하여 출력하는 인버터(401) 및 인버터(402)와, 전원전압단에 소스가 연결되어 있으며 게이트로 GIO 라인의 신호가 지연된 신호를 입력받는 PMOS 트랜지스터(405)와, PMOS 트랜지스터(405)의 드레인과 GIO 라인 사이에 접속되며 게이트로 인버터(401)의 출력을 입력받는 PMOS 트랜지스터(403)와, 접지단에 소스가 연결되어 있으며 게이트로 GIO 라인의 신호가 지연된 신호를 입력받는 NMOS 트랜지스터(406)와, NMOS 트랜지스터(406)의 드레인과 GIO 라인 사이에 접속되며 게이트로 인버터(402)의 출력을 입력받는 NMOS 트랜지스터(404)와, GIO 라인에 접속되어 지연된 GIO 신호를 PMOS 트랜지스터(405)의 게이트와 NMOS 트랜지스터(406)의 게이트로 출력하는 가변 지연소자(407)를 포함하여 구성되어 있다.

<55> GIO 신호가 입력되는 인버터(401)는 PMOS 트랜지스터와 NMOS 트랜지스터로 구성된 시모스 인버터(CMOS INVERTER)로 구성되어 있으며, 시모스 인버터를 구성하는 PMOS 트랜지스터와 NMOS 트랜지스터의 크기 비율이 1.8/30 정도로 설계한다. 이와같은 크기 비율을 갖는 인버터(401)는 NMOS 트랜지스터가 PMOS 트랜지스터에 비해 매우 크기 때문에, 'H'에서 'L'로 빠르게 천이할 수 있다.

<56> 마찬가지로, GIO 신호가 입력되는 인버터(402)는 시모스 인버터(CMOS INVERTER)로 구성되어 있으며, 시모스 인버터를 구성하는 PMOS 트랜지스터와 NMOS 트랜지스터의 크기 비율이

12/1.8 정도로 설계한다. 이와같은 크기 비율을 갖는 인버터(402)는 PMOS 트랜지스터가 NMOS 트랜지스터에 비해 매우 크기 때문에, 'L'에서 'H'로 빠르게 천이할 수 있다.

<57> 이와같은 점을 참조하여 리피터의 동작을 살펴보면 다음과 같다.

<58> 먼저, GIO 신호가 'L' 상태였다가 'H'로 천이하는 경우를 예로 들어 리피터의 동작을 설명하면 다음과 같다.

<59> 처음에 GIO 신호는 'L' 이므로 인버터(401)의 출력은 'H'가 되어 PMOS(403)는 턴 오프된다. 또한, 인버터(402)의 출력 역시 'H'가 되므로, NMOS(404)는 턴 온된다. 또한, 가변지연소자는 지연된 'L' 신호를 출력하므로 PMOS 트랜지스터(405)는 턴 온되고, NMOS 트랜지스터(406)는 턴 오프된다.

<60> 비록, PMOS 트랜지스터(405)와 NMOS 트랜지스터(404)가 턴 온되어 있더라도, PMOS 트랜지스터(403)와 NMOS 트랜지스터(406)가 턴 오프되어 있기 때문에, GIO 라인과 전원전압단 또는 GIO 라인과 접지단 사이의 전류패스가 형성되지 않아 GIO 라인은 'L'를 유지한다.

<61> 이어서, GIO 라인이 'L'에서 'H'로 천이하면, PMOS 트랜지스터(403)는 턴 온되고, NMOS 트랜지스터(404)는 턴 오프된다. 이때, 가변지연소자(407)의 출력은 아직까지는 'L' 상태이다. 즉, GIO 라인이 'H'로 천이되기 전의 'L' 신호가 지연되어 출력되기 때문이다.

<62> 따라서, 가변지연소자(407)의 출력이 아직까지는 'L' 이기 때문에 PMOS 트랜지스터(405)는 턴 온되고, NMOS 트랜지스터(406)는 턴 오프된 상태로 있다.

<63> 이와같이, PMOS 트랜지스터(405)와 PMOS 트랜지스터(403)가 동시에 턴 온되어 있기 때문에, GIO 라인은 'H'로 구동시킬 수 있다.

<64> 이와같은 동작을 수행하는 리피터는 노이즈(noise)에 매우 민감한 소자이기 때문에, 'L' 데이터를 전달하고 있는 GIO 라인과 'H' 데이터를 래치하고 있는 래치(310) 간에 전하공유가 일어날 경우, 메인 증폭기(101)의 출력에 상관없이 GIO 라인을 'H'로 만들어 버린다.

<65> 즉, 리드동작에서 읽고자 하는 데이터는 메인 증폭기(101)의 출력인데, 엉뚱하게 입출력 멀티플렉서의 래치에 저장된 값이 리드되는 오류가 발생한다. 특히, GIO 라인의 폭과 간격을 충분히 확보하지 못하여, GIO 라인에 노이즈 커플링이 생기는 경우에는 이와같은 문제가 더욱 심각해 진다.

<66> 이와같이 리피터를 사용하는 경우에 오류가 발생하는 일예로, N-1 번째 클럭에서 'H' 데이터를 리드하고, N 번째 클럭에서 'L' 데이터를 라이트 하고, N+1 번째 클럭에서 'L' 데이터를 리드하는 경우를 예로 들어 설명하였지만, 이와같은 경우 이외에도 N-1 번째 클럭에서 'H' 데이터를 리드하고, N 번째 클럭에서 'L' 데이터를 리드하는 경우 또는 N-1 번째 클럭에서 'L' 데이터를 리드하고, N 번째 클럭에서 'H' 데이터를 리드하는 경우에도 데이터 오류가 발생할 수 있다.

<67> 즉, 리드동작에서 읽고자 하는 데이터와 현재 입출력 멀티플렉서의 래치에 저장된 데이터가 극성이 다른 경우에는 이와같은 데이터 오류가 발생할 수 있다.

<68> 그리고 이와같은 데이터 오류는, 리드/라이트 동작시에 GIO 라인을 공유함에 따라 더욱 심각해 질 수 있는데 이에 대해서 설명하면 다음과 같다.

<69> N-1 번째 클럭에서 'H' 데이터를 리드하고 N 번째 클럭에서 'H' 데이터를 라이트하고 N+1 번째 클럭에서 'L' 데이터를 리드하는 경우를 가정한다.

<70> 먼저, N-1 번째 클럭에서 'H' 데이터를 리드하므로, 입출력 멀티플렉서의 래치(310)는 'H' 데이터를 래치하고 있다. 다음으로 N 번째 클럭에서는 'H' 데이터를 라이트 하므로 GIO 라인도 'H' 상태가 된다.

<71> 다음으로, N+1 번째 클럭에서 'L' 데이터를 리드하는 경우에는 전술한 바와같은 전하공유 때문에 리피터 사용에 의한 오류가 발생하는데, 입출력 멀티플렉서의 래치(310)와 GIO 라인이 모두 'H' 상태에 있으므로, 'L' 데이터를 리드하는 동작에서 전하공유가 더욱 심화되어 리피터 사용시의 데이터 오류를 악화시킬 수 있다.

### 【발명이 이루고자 하는 기술적 과제】

<72> 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로, 리드/라이트 동작시에 GIO 라인을 분리하여 사용하고, 입출력 멀티플렉서의 구조를 변경하여 리피터 사용시의 오류를 방지한 메모리 소자를 제공함을 그 목적으로 한다.

### 【발명의 구성 및 작용】

<73> 상기한 목적을 달성하기 위한 본 발명은, 비트라인 감지 증폭기의 출력을 입력받아 이를 증폭하여 제 1 데이터 라인으로 출력하는 메인 증폭기; 상기 제 1 데이터 라인에 접속된 입출력 멀티플렉서; 상기 제 1 데이터 라인에 접속된 리피터; 쓰기 데이터를 입력받아 이를 제 2 데이터 라인으로 출력하는 입출력 라이트부; 및 상기 제 2 데이터 라인에 접속되어 상기 제 2 데이터 라인에 실린 데이터를 상기 비트라인 감지증폭기로 출력하는 라이트 드라이버를 포함하여 이루어진다.

<74> 본 발명은 리드/라이트 동작시에 GIO 라인을 각각 분리하여 사용하며, 또한 입출력 멀티플렉서의 구조를 변경하여 리피터를 사용할 경우에 발생하던 오류를 방지하였으며 또한, 다이나믹 타입의 입출력 라이트부를 스탠틱 타입의 입출력 라이트부로 변경하여 전류소모를 감소시킨 발명이다.

<75> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.

<76> 먼저, 도5는 본 발명의 일실시예에 따른 메모리 소자에서, 리드/라이트 동작시에 데이터의 입출력 경로를 도시한 블록도면으로 이를 참조하면, 본 발명의 일실시예에 따른 메모리 소자는, 메모리에 저장된 데이터를 증폭시켜 입출력하는 비트라인 감지증폭기(500)와, 비트라인 감지증폭기의 출력인 리드데이터를 증폭하여 MOB(Main Amp Output Bar) 라인(503)으로 출력하는 메인 증폭기(501)와, MOB 라인(503)에 실린 데이터를 선별적으로 출력하는 입출력 멀티플렉서(506)와, 데이터 입력 드라이버(미도시)로부터 라이트 데이터를 입력받아 이를 DINB 라인(504)으로 출력하는 입출력 라이트부(507)와, DINB 라인(504)으로부터 라이트 데이터를 입력받아 비트라인 감지증폭기(500)로 출력하는 라이트 드라이버(502)와, MOB 라인(503)에 연결된 리피터(505)를 포함하여 구성되어 있다.

<77> 도5를 참조하면, 본 발명의 일실시예에 따른 메모리 소자에서는 리드 동작시에는 셀에 저장된 데이터가 MOB 라인(503)을 사용하여 출력되며, 라이트 동작시에는 DINB 라인(504)을 사용하여 데이터가 셀에 저장되고 있음을 알 수 있다.

<78> 도5를 참조하여 셀(cell)에 저장된 데이터를 외부로 읽어내는 리드 동작에 대해 살펴보면 다음과 같다. 먼저, 셀에 저장된 데이터는 비트라인 감지증폭기(500)를 통해 출력되며, 비트라인 감지증폭기(500)의 출력은 메인 증폭기(501)를 거쳐서 MOB 라인(503)에 실리게 된다.

<79> 이와같이 메인증폭기(501)를 거쳐 MOB 라인(503)에 실린 데이터는 입출력 멀티플렉서(506)로 입력된 후, 입출력 멀티플렉서에서 선택적으로 출력되어 데이터 출력 버퍼(미도시)로 출력된다. 여기서, 입출력 멀티플렉서(506)는 x4, x8 ,x16 모드 등 데이터 폭(data width)에 따른 모드 구별 및 병렬 테스트 모드를 위해 사용됨은 종래기술과 같다.

<80> 다음으로, 셀에 데이터를 저장하는 라이트 동작에 대해 살펴본다. 셀에 저장하고자 하는 입력데이터(DIN)는 데이터 입력 드라이버(미도시)를 통해 입출력 라이트부(507)로 입력되며, 입출력 라이트부(507)는 입력된 데이터를 DINB 라인(504)으로 출력한다. DINB 라인(504)에 실린 입력데이터는 라이트 드라이버(502)로 입력된 후, 비트라인 감지증폭기(500)를 거쳐 셀에 저장된다.

<81> 도5에 도시된 입출력 라이트부(507)는 종래의 다이내믹 타입이 아니라 스탠다드(static) 타입으로 구성되어 전류소모를 감소시켰는데, 이에 대해서는 도8을 참조하여 후술한다.

<82> 이와같이 본 발명의 일실시예에서는 리드/라이트 동작시에 공유하여 사용하던 GIO 라인을 리드동작시에 사용되는 MOB 라인과, 라이트 동작시에 사용되는 DINB 라인으로 각각 분리하

여 사용하였으며 또한, 입출력 멀티플렉서의 구조를 변경하였기 때문에, 종래에 문제가 되던 리피터 사용시의 문제점을 해결할 수 있다.

<83>      도6은 본 발명의 일실시예에 따른 x8 모드용 입출력 멀티플렉서(506)의 상세구성을 도시한 회로도로서, 본 발명의 일실시예에 따른 입출력 멀티플렉서에서는 종래에 사용되던 전송게이트 대신에 클럭화된 인버터(clocked inverter)를 사용하여, MOB 라인(503)과 입출력 멀티플렉서(506)의 출력단에 구비된 래치와의 전하공유를 근본적으로 차단하였다.

<84>      도6에 도시된 입출력 멀티플렉서는 전송게이트 대신에 클럭화된 인버터를 사용하였다는 점을 제외하면, 종래기술에 따른 입출력 멀티플렉서와 동일하다.

<85>      즉, 본 발명의 일실시예에 따른 입출력 멀티플렉서는, 어드레스 신호인 Y11 신호와 x8 모드신호 및 라이트 동작시에 'H'로 활성화되는 신호인 WT 신호를 입력받아 클럭화된 인버터를 제어하기 위한 제어신호를 출력하는 제어부(610)와, MOB<0,1> 신호가 각각 입력되는 클럭화된 인버터(620, 630)와, 클럭화된 인버터(620, 630)의 출력단에 구비된 래치(640)로 이루어져 있다.

<86>      여기서 제어부(610)는 어드레스 신호인 Y11 신호를 입력받아 이를 반전시켜 출력하는 인버터(600)와, x8 신호와 인버터(600)의 출력을 입력받는 낸드게이트(601)와, x8 신호와 Y11 신호를 입력받는 낸드게이트(602)와, 낸드게이트(602)의 출력을 반전하여 출력하는 인버터(604)와, 낸드게이트(601)의 출력을 반전하여 출력하는 인버터(605)와, WT 신호을 입력받아 이를 반전하여 출력하는 인버터(603)와, 인버터(603)의 출력과 인버터(604)의 출력을 입력받는 낸드게이트(606)와, 인버터(603)의 출력과 인버터(605)의 출력을 입력받는 낸드게이트(607)로 구성되어 있다.

<87> 또한, 클럭화된 인버터(620)는 상기 낸드게이트(606)의 출력에 제어받아 입력받은 MOB<0> 신호를 반전하여 출력하며, 클럭화된 인버터(630)는 상기 낸드게이트(607)의 출력에 제어받아 입력받은 MOB<1> 신호를 반전하여 출력한다.

<88> 그리고, 클럭화된 인버터(620, 630)의 출력단에는 래치(640)가 접속되어 있다.

<89> 도6에 도시된 입출력 멀티플렉서는 x8 모드용 멀티플렉서이며, x8 모드에서 리드 동작시에는, MOB 라인에 실린 데이터 중 일부만이 멀티플렉서의 출력단인 MX\_OUT으로 출력된다.

<90> 즉, x8 모드에서는 총 16개의 MOB<0,15> 신호중에서 8 개의 신호만이 멀티플렉서의 출력이 되야 하므로, MOB<0,1> 중에서 1개의 신호, MOB<2,3> 중에서 1개의 신호, MOB<4,5> 중에서 1개의 신호, ....MOB<14,15> 중에서 1개의 신호가 멀티플렉서의 출력이 된다. 이때, MOB<0,1> 중에서 1개의 신호를 선택하는 제어신호가 Y11 신호이다.

<91> 도6에 도시된 WT 신호는 라이트 동작시에 'H'로 활성화되는 신호이며, 리드 동작시에는 'L'로 비활성화된다. 또한, x8 신호는 x8 모드시에 'H'로 활성화되며, x8 모드가 아닌 경우에는 'L'로 비활성화 된다.

<92> 전술한 바와같이, 도6에 도시된 입출력 멀티플렉서는 리드동작시 즉, WT 신호가 'L'로 비활성화되었을 때, Y11 신호에 따라, 메인 증폭기의 출력인 MOB<0,1> 중 어느 하나를 출력한다. 즉, Y11 신호가 'H' 인 경우에는 MOB<0>이 클럭화된 인버터(620)의 출력이 되며, Y11 신호가 'L' 인 경우에는 MOB<1>이 클럭화된 인버터(630) 출력이 된다.

<93> WT 신호가 'H'로 활성화된 경우에는 라이트 동작이 수행되는 경우이므로, 입출력 멀티플렉서는 동작하지 않음은 전술한 바와같다. 즉, WT 신호가 'H'로 활성화됨에 따라, 낸드게이트

(606, 607)는 논리 'H'를 출력하며, 결과적으로, 클럭화된 인버터(620, 630)의 출력은 플로팅(floating) 상태가 되므로, MX\_OUT은 래치(640)에 저장된 이전 데이터를 유지한다.

<94> 또한, x8 모드가 아닌 경우에는 x8 신호가 'L'로 비활성화되어 있으므로, 낸드게이트(601, 602)는 'H'를 출력하며, 낸드게이트(606)와 낸드게이트(607) 역시 'H'를 출력하게 되므로, 결과적으로 클럭화된 인버터(620) 및 클럭화된 인버터(630)의 출력은 플로팅(floating) 상태가 되므로, MX\_OUT은 래치(640)에 저장된 이전 데이터를 유지한다.

<95> 도6을 참조하면, 리드 동작시에 클럭화된 인버터가 동작하여도 MOB 라인과 래치(640)와의 전하공유는 일어나지 않는다. 즉, MOB 라인은 클럭화된 인버터(620, 630)의 게이트로 인가 되기 때문에, 전하공유가 발생하지 않는다.

<96> 도7은 본 발명의 일실시예에서 사용된 클럭화된 인버터의 심볼(symbol) 및 회로도를 도시한 도면으로, 도7의 (a)에 도시된 심볼은 클럭화된 인버터의 간략한 심볼을 도시하고 있다.

<97> 도7의 (a)에 도시된 심볼을 좀 더 상세히 나타낸 것이, 도7의 (b)에 도시된 회로이다. 클럭화된 인버터는 클럭신호와 인버터(701)를 통해 반전된 클럭신호 및 입력신호(IN)를 입력받는 인버터(702)로 구성되어 있으며, 이를 좀더 상세히 도시한 도면이 도7의 (c)에 도시된 회로도이다.

<98> 도7의 (c)를 참조하면 클럭화된 인버터는, 전원전압단과 접지단 사이에 PMOS 트랜지스터(704, 705)와 NMOS 트랜지스터(706, 707)가 직렬로 연결되어 있으며, PMOS 트랜지스터(704)는 게이트로 클럭을 입력받고, NMOS 트랜지스터(707)는 반전된 클럭을 게이트로 입력받는다. 또한, PMOS 트랜지스터(705)와 NMOS 트랜지스터(706)의 게이트로는 입력신호(IN)가 인가된다.

<99> 이와같은 클럭화된 인버터는 클럭신호가 'L' 인 경우에만 인버터 역할을 수행하며, 클럭 신호가 'H' 인 경우에는 출력이 플로팅(floating) 상태가 되어 인버터로 동작하지 않는다.

<100> 즉, 클럭이 'L' 인 경우에는 PMOS 트랜지스터(704)와 NMOS 트랜지스터(707)가 턴 온되므로 통상적인 인버터로서의 동작을 수행하며, 클럭이 'H' 인 경우에는 PMOS 트랜지스터(704)와 NMOS 트랜지스터(707)가 턴 오프되므로 출력이 플로팅 상태가 된다.

<101> 도7에 도시된 바와같은 구조를 갖는 클럭화된 인버터가 도6에 도시된 입출력 멀티플렉서에 사용되므로, MOB<0> 라인과 MOB<1> 라인은 클럭화된 인버터의 게이트단(좀 더 상세히 설명하면, 도7의 (c)에 도시된 PMOS 트랜지스터(705)의 게이트와 NMOS 트랜지스터의 게이트(706)로 입력되기 때문에 MOB 라인과 래치(640)간에 전하공유가 일어나지 않는다.

<102> 도8은 본 발명의 일실시예에 따라 스탠틱 타입(static type)으로 구성된 입출력 라이트부(507)의 상세구성을 도시한 회로도로서, 본 발명의 일실시예에 따라 이중데이터율 동기식 디램(Double Data Rate Synchronous Dynamic Random Access Memory : DDR SDRAM)에 적용된 입출력 라이트부의 상세구성을 도시한 회로도이다.

<103> 도8을 참조하면, 본원발명의 일실시예에서 사용된 입출력 라이트부(507)는 종래의 다이나믹 타입과 달리, 전원전압(VCC)과 접지전압(VSS) 사이의 다이렉트 패스(direct path)를 없앤 스탠틱 타입으로 구성되어 있다.

<104> 본 발명의 일실시예에 따라 스탠틱 타입으로 구성된 입출력 라이트부는, 입력된 데이터가 제어신호에 따라 선택적으로 출력되는 전송게이트부(820)와, 상기 전송게이트부(820)의 출력을 DINB 라인으로 전달하기 위한 구동부(830) 및 상기 전송게이트부(820)와 상기 구동부(830)를 제어하기 위한 신호를 발생하는 제어부(840)로 구성된다.

<105> 여기서, 전송게이트부(820)는 DIN\_R<0> 신호를 입력받는 전송게이트(802)와 와 DIN\_F<0> 신호를 입력받는 전송게이트(803)로 이루어지며, 상기 전송게이트(820)부는 제어신호인 EV/ODD 신호에 따라 DIN\_R<0> 신호와 DIN\_F<0> 신호 중 어느 하나를 출력한다.

<106> 제어부(840)는 DINST 신호를 입력받아 이를 반전하여 출력하는 인버터(800)와, 인버터(80)의 출력을 반전하여 출력하는 인버터(801)와, EV/OD 신호를 입력받아 이를 반전하여 출력하는 인버터(804)로 구성되어 있다.

<107> 구동부(840)는 상기 전송게이트부(820)의 출력을 입력받아 이를 반전하여 출력하는 클럭화된 인버터(805)와, 클럭화된 인버터(805)의 출력을 래치하고 있는 인버터(807) 및 클럭화된 인버터(806)와, 클럭화된 인버터(805)의 출력을 반전하여 출력하는 클럭화된 인버터(808)와, 클럭화된 인버터(808)의 출력을 래치하고 있는 인버터(810) 및 클럭화된 인버터(809)로 구성되어 있다.

<108> 도8에서 DINST 신호는 데이터 입력 스트로브(input data strobe) 신호로서, DINST 신호에 동기되어, DIN\_R 신호 또는 DIN\_F 신호 중 어느 하나의 신호가 EV/OD 신호에 따라 DINB 라인에 실린다.

<109> 그리고, EV/OD 신호는 DDR SDRAM에서 이븐(Even), 오드(Odd)를 의미하는 신호이며, DIN\_R<0> 신호는 클럭의 라이징(Rising) 엣지(Edge)에 동기되는 신호를 의미하고, DIN\_F<0> 신호는 클럭의 폴링(Falling) 엣지에 동기되는 신호를 의미한다.

<110> EV/OD 신호가 'H' 인 경우에는 DIN\_F<0> 신호가 클럭화된 인버터(805)의 입력이 되며, EV/OD 신호가 'L' 인 경우에는 DIN\_R<0> 신호가 클럭화된 인버터(805)의 입력이 된다.

<111> 이와같은 점을 참조하여, EV/OD 신호가 'H'이고, DINST 신호가 'L'에서 'H'로 활성화 될때, 본 발명의 일실시예에 따라 스탠다드 타입으로 구성된 입출력 라이트부의 동작을 설명한다.

<112> 먼저, DINST 신호 및 반전된 DINST 신호는 도8에 도시된 클럭화된 인버터(805, 806, 808, 809)의 클럭입력으로 사용되고 있다. 따라서, DINST 신호가 'L'인 경우에는 클럭화된 인버터(805, 809)는 동작상태가 되며, 클럭화된 인버터(806, 808)는 플로팅 상태가 된다.

<113> 또한, DINST 신호가 'H'인 경우에는 클럭화된 인버터(805, 809)는 플로팅 상태가 되며, 클럭화된 인버터(806, 808)는 동작상태가 된다.

<114> 도8에 도시된 입출력 라이트부는 DINST 신호가 'L'일때 데이터를 미리 가져와 래치하고 있다가, DINST 신호가 'H'로 활성화되면, 미리 래치하고 있던 데이터를 DINB 라인으로 출력한다.

<115> 즉, EV/OD 신호가 'H'이고, DINST 신호가 'L'인 경우에는, 클럭화된 인버터(805)가 동작상태가 되므로, 반전된 DIN\_F<0> 신호가 클럭화된 인버터(805)의 출력이 된다.

<116> 하지만, DINST 신호가 'L'인 경우에, 클럭화된 인버터(808)는 플로팅 상태가 되므로, 클럭화된 인버터(805)의 출력인 반전된 DIN\_F<0> 신호는 클럭화된 인버터(808)의 출력에 영향을 주지 못한다.

<117> 그리고, DINST 신호가 'L'인 경우에, 클럭화된 인버터(809)는 동작상태가 되므로, 턴온된 클럭화된 인버터(809)는 인버터(810)와 더불어 DINB<0> 라인의 값을 현재상태로 유지하는 래치 역할을 한다.

<118> 다음으로, DINST 신호가 'L'에서 'H'로 활성화되면, 클럭화된 인버터(806) 및 클럭화된 인버터(808)는 동작상태가 되고, 클럭화된 인버터(805) 및 클럭화된 인버터(809)는 플로팅 상태가 된다.

<119> 이와같이, 클럭화된 인버터(808)가 동작 상태가 되므로, 클럭화된 인버터(805)의 출력이 었던 반전된 DIN\_F<0> 신호는 클럭화된 인버터(808)로 입력되며, 클럭화된 인버터(808)는 DIN\_F<0> 신호를 출력한다.

<120> 또한, DINST 신호가 'L'에서 'H'로 활성화되면, 클럭화된 인버터(806)가 동작상태가 되므로, 클럭화된 인버터(806)는 인버터(807)와 더불어 클럭화된 인버터(808)를 구동한다. 결과적으로, DINB<0> 라인에는 인버터(810)를 거쳐서 반전된 DIN\_F<0> 신호가 실리게 된다.

<121> 다시, DINST 신호가 'H'에서 'L'로 천이하는 경우에는, 클럭화된 인버터(809)가 동작상태가 되므로, 클럭화된 인버터(809)는 인버터(810)와 더불어 DINB<0> 라인에 실린 신호를 유지하는 래치역할을 한다.

<122> 이와같이 본 발명의 일실시예에서는 입출력 라이트부의 구성을 스태틱 타입의 회로로 변경하였기 때문에, 종래에 비하여 전류소모를 감소시킬 수 있으며, 대칭적으로 레이아웃 하여하는 번거로움도 피할 수 있는 장점이 있다.

<123> 이하, 도5 내지 도8을 참조하여, 본 발명의 일실시예에 따른 메모리 소자에서 데이터를 리드하고 라이트 하는 동작에 대해 살펴보면 다음과 같다.

<124> 먼저, N-1 번째 클럭에서 'H' 데이터를 리드하는 경우에, 셀에 저장된 'H' 데이터는 비트라인 감지증폭기(500)를 거쳐 메인증폭기(501)의 출력이 되며, 리드동작에서 사용되는 MOB 라인(503)을 통해 입출력 멀티플렉서(506)로 입력된다.

<125> 'H' 데이터를 읽는 리드 동작이므로, 도6에 도시된 입출력 멀티플렉서의 구성에서, MOB<0> 또는 MOB<1> 중 어느 하나가 클럭화된 인버터(620) 또는 클럭화된 인버터(630)를 통과하여 입출력 멀티플렉서의 출력이 된다. 그리고 입출력 멀티플렉서의 출력단에 구비된 래치(640)는 바로 이 'H' 데이터를 래치하고 있게 된다.

<126> 이와같은 리드동작시에 클럭화된 인버터(620) 또는 클럭화된 인버터(630) 중 어느 하나가 동작상태가 되어도, MOB 라인은 클럭화된 인버터를 구성하고 있는 트랜지스터들의 게이트단으로 입력되므로, MOB 라인과 래치(640)간의 전하공유 현상을 발생하지 않는다.

<127> 다음으로 N 번째 클럭에서 'L' 데이터를 라이트 하는 경우에는, 'L' 데이터는 데이터 입력 드라이버(미도시)를 통해 입출력 라이트부(507)로 입력되며, 입출력 라이트부(507)는 입력된 데이터를 DINB 라인(504)으로 출력한다. DINB 라인(504)에 실린 입력데이터는 라이트 드라이버(502)로 입력된 후, 비트라인 감지증폭기(500)를 거쳐 셀에 저장된다.

<128> 라이트 동작이므로 WT 신호는 'H'이며, 도6에 도시된 낸드게이트(606, 607)의 출력은 모두 'H'가 된다. 따라서, 클럭화된 인버터(620, 630)의 출력은 모두 플로팅 상태가 되므로 래치(640)의 출력에 영향을 주지 못한다. 그러므로 래치(640)는 N-1 번째 클럭에서 리드하였던 'H' 데이터를 그대로 래치하고 있다.

<129> 다음으로 N+1 번째 클럭에서 'L' 데이터를 리드하는 경우에, 셀에 저장된 'L' 데이터는 비트라인 감지증폭기(500), 메인 증폭기(501), MOB 라인(503) 및 입출력 멀티플렉서(506)를 경유하여 출력된다.

<130> 리드 동작이므로 입출력 멀티플렉서(506)에 구비된 클럭화된 인버터(608) 또는 클럭화된 인버터(609)는 동작상태가 되어 MOB 라인(503)에 실린 'L' 데이터를 출력한다.

<131> 이때, 입출력 멀티플렉서의 출력단에 구비된 래치(640)는 N 번째 클럭에서 'H' 데이터를 래치하고 있었는데, N+1 번째 클럭에서는 'L' 데이터를 래치하게 된다.

<132> 이와같은 리드 동작시에 MOB 라인과 래치(640)간의 전하공유가 발생하지 않음은 전술한 바와같기 때문에, 본 발명의 일실시예에 따른 메모리 소자에서는 리피터(505)를 MOB 라인(503)에 접속하여 사용하더라도 데이터 오류가 발생하지 않는다.

<133> 또한, 본 발명의 일실시예에 따른 메모리 소자에서는, 글로벌 입출력 라인을 리드 동작 시에 사용하는 MOB 라인과 라이트 동작시에 사용하는 DINB 라인으로 분리하여 사용하였기 때문에, MOB 라인과 DINB 라인을 서로 번갈아 가며 라우팅(routing)할 수 있어, 종래에 GIO 라인이 토클링(toggling)되면서 생기는 커플링 노이즈(coupling noise)를 감소시킬 수 있다.

<134> 즉, MOB 라인과 DINB 라인을 서로 교변하여 라우팅하게 되면, MOB 라인을 이용한 리드 동작시에, DINB 라인은 'H' 또는 'L'로 고정된 값을 가지고 있으므로, 매우 우수한 쉴딩(shielding)효과를 가질 수 있으며, 이는 곧, 커플링 잡음 면역성이 특히나 약한 리피터의 커플링 잡음 면역성(Coupling Noise Immunity)을 증가시킬 수 있다.

<135> 본 발명의 일실시예에서는 MOB 라인에만 리피터를 접속하여 사용하여 신호전달속도의 증가를 이루었지만, DINB 라인에도 리피터를 접속하여 사용하여도 역시 신호전달 속도의 증가를 얻을 수 있다.

<136> 이상에서 설명한 바와 같이 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 【발명의 효과】

<137> 본 발명을 메모리 소자에 적용하면, 리피터 사용으로 인한 데이터 오류를 방지할 수 있으며, 스탠틱 타입의 입출력 라이트부를 사용하므로 전류소모를 줄일 수 있는 장점이 있다. 또한, 리드동작시에 사용되는 MOB 라인과 라이트 동작시에 사용되는 DINB 라인을 서로 교변하여 라우팅하게 되면, 커플링 노이즈 면역성을 증가시킬 수 있어 안정적인 동작이 가능하다.

**【특허청구범위】****【청구항 1】**

비트라인 감지 증폭기의 출력을 입력받아 이를 증폭하여 제 1 데이터 라인으로 출력하는  
메인 증폭기;

상기 제 1 데이터 라인에 접속된 입출력 멀티플렉서;

상기 제 1 데이터 라인에 접속된 리피터;

쓰기 데이터를 입력받아 이를 제 2 데이터 라인으로 출력하는 입출력 라이트부; 및

상기 제 2 데이터 라인에 접속되어 상기 제 2 데이터 라인에 실린 데이터를 상기 비트라  
인 감지증폭기로 출력하는 라이트 드라이버

를 포함하여 이루어진 메모리 소자.

**【청구항 2】**

제 1 항에 있어서,

상기 입출력 멀티플렉서는,

상기 제 1 데이터 라인이 입력되는 클럭화된 인버터와 상기 클럭화된 인버터의 출력단에  
접속된 래치를 포함하여 구성되며, 상기 래치에 저장된 데이터와 상기 제 1 데이터 라인간의  
전하공유를 방지하는 것을 특징으로 하는 메모리 소자.

**【청구항 3】**

제 2 항에 있어서,

상기 입출력 멀티플렉서는,

어드레스 신호와 모드신호 및 라이트 동작시에 활성화되는 신호를 입력받아 상기 클럭화된 인버터를 제어하기 위한 제어신호를 출력하는 제어부;

상기 제 1 데이터 라인이 입력되는 클럭화된 인버터; 및

상기 클럭화된 인버터의 출력단에 구비된 래치

를 포함하여 이루어진 것을 특징으로 하는 메모리 소자.

#### 【청구항 4】

제 3 항에 있어서,

상기 제어부는,

어드레스 신호를 입력받아 이를 반전시켜 출력하는 제 1 인버터;

모드선택을 위한 모드신호와 상기 제 1 인버터의 출력을 입력받는 제 1 낸드게이트;

모드 신호와 어드레스 신호를 입력받는 제 2 낸드게이트;

라이트 동작시에 활성화되는 신호를 입력받아 이를 반전하여 출력하는 제 2 인버터;

상기 제 2 낸드게이트의 출력을 반전하여 출력하는 제 3 인버터;

상기 제 1 낸드게이트의 출력을 반전하여 출력하는 제 4 인버터;

상기 제 2 인버터의 출력과 상기 제 3 인버터의 출력을 입력받는 제 3 낸드게이트; 및

상기 제 2 인버터의 출력과 상기 제 4 인버터의 출력을 입력받는 제 4 낸드게이트

를 포함하여 이루어지는 것을 특징으로 하는 메모리 소자.

## 【청구항 5】

제 1 항에 있어서,

상기 입출력 라이트부는 클럭화된 인버터를 포함한 스탠드 타입으로 구성되어 있으며,

상기 입출력 라이트부는,

입력된 데이터를 선택적으로 출력하는 전송게이트부;

상기 전송게이트부의 출력을 제 2 데이터 라인으로 전달하기 위한 구동부; 및

상기 전송게이트부와 상기 구동부를 제어하기 위한 신호를 발생하는 제어부

를 포함하여 이루어지는 것을 특징으로 하는 메모리 소자.

## 【청구항 6】

제 5 항에 있어서,

상기 제어부는,

데이터 입력 스트로브 신호를 입력받아 이를 반전하여 출력하는 제 10 인버터;

상기 제 10 인버터의 출력을 반전하여 출력하는 제 11 인버터; 및

이븐 /오드 신호를 입력받아 이를 반전하여 출력하는 제 12 인버터

를 포함하여 이루어지는 것을 특징으로 하는 메모리 소자.

## 【청구항 7】

제 6 항에 있어서,

### 상기 구동부는

상기 제 10 인버터 및 제 11 인버터의 출력을 제어신호로 입력받는 제 1 내지 제 4 클럭화된 인버터를 포함하여 구성되며,

상기 전송게이트부의 출력을 입력받아 이를 반전하여 출력하는 제 1 클럭화된 인버터;

상기 제 1 클럭화된 인버터의 출력을 래치하고 있는 제 12 인버터 및 제 2 클럭화된 인버터;

상기 제 1 클럭화된 인버터의 출력을 반전하여 출력하는 제 3 클럭화된 인버터; 및

상기 제 3 클럭화된 인버터의 출력을 래치하고 있는 제 13 인버터 및 제 4 클럭화된 인버터

를 포함하여 이루어진 것을 특징으로 하는 메모리 소자.

### 【청구항 8】

제 1 항에 있어서,

상기 제 2 데이터 라인에 접속된 리피터

를 더 포함하여 이루어지는 것을 특징으로 하는 메모리 소자.

### 【청구항 9】

제 1 항에 있어서,

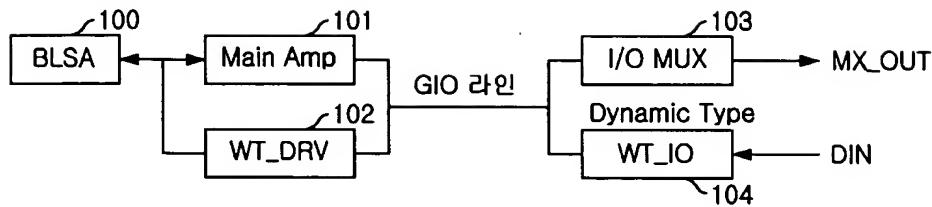
1020030034876

출력 일자: 2003/10/29

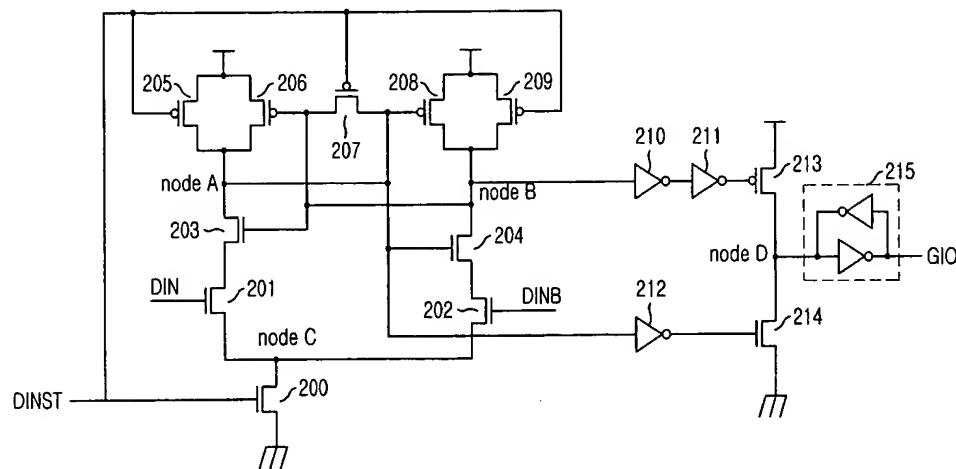
상기 제 1 데이터 라인과 제 2 데이터 라인은 서로 교변하여 라우팅되는 것을 특징으로 하는 메모리 소자.

### 【도면】

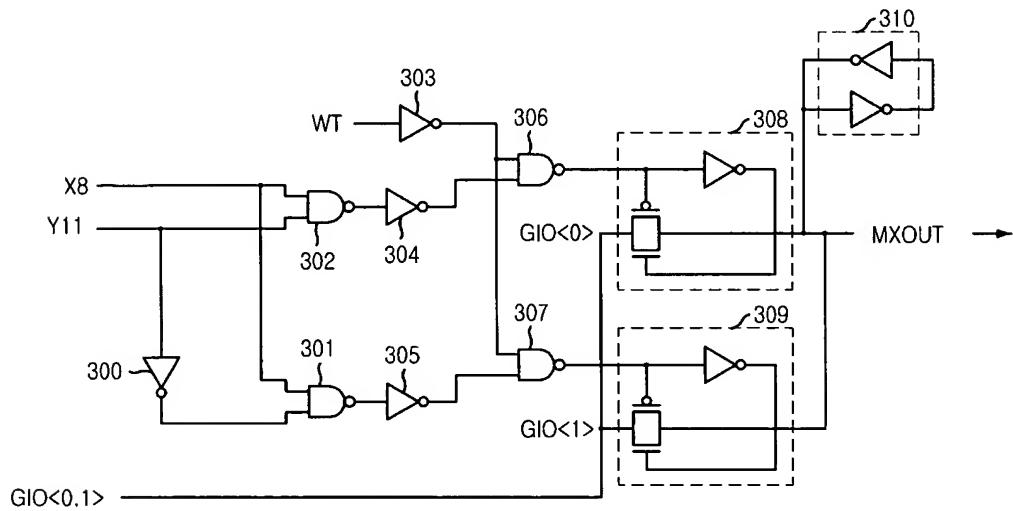
### 【도 1】



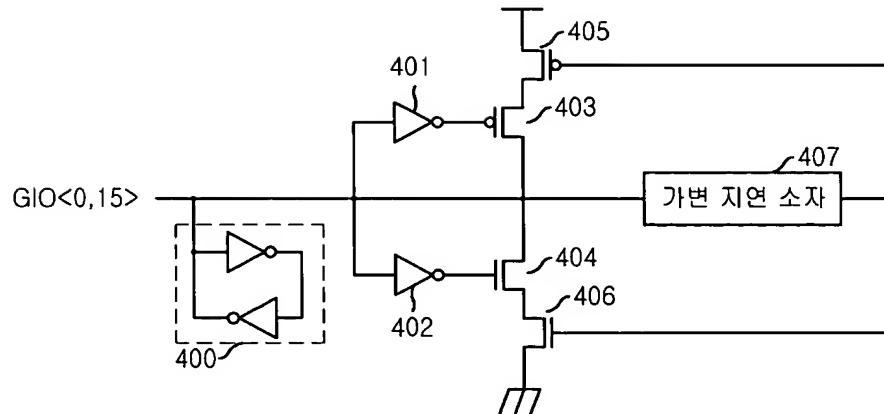
## 【도 2】



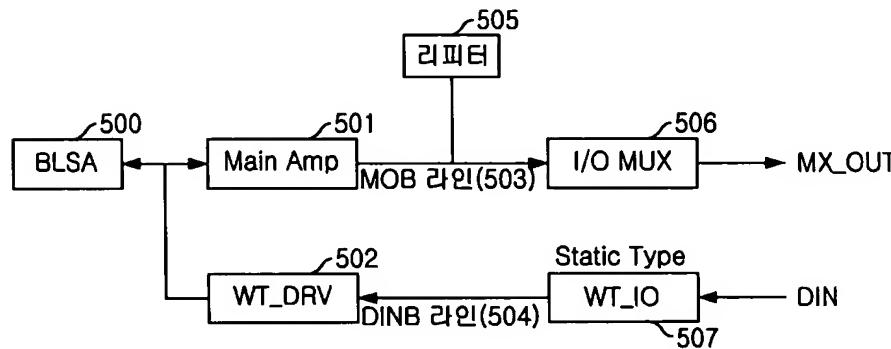
### 【도 3】



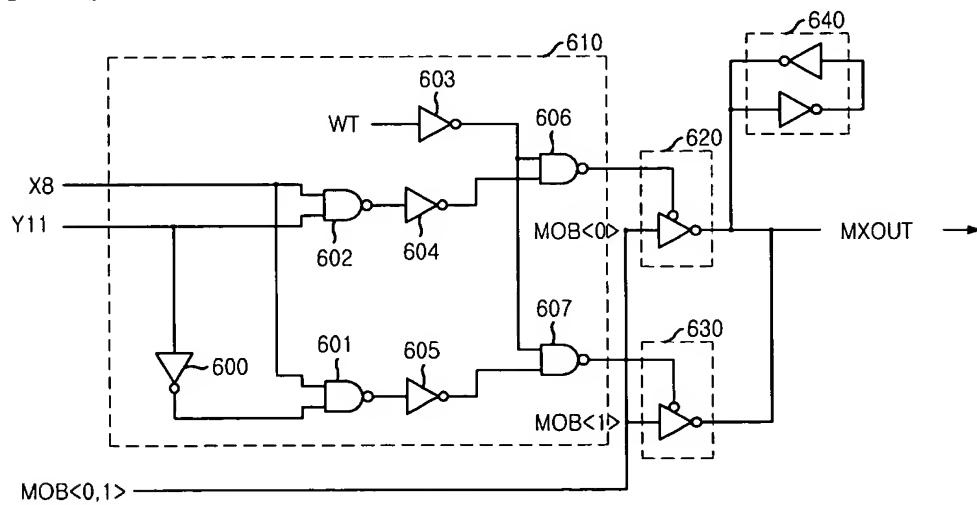
#### 【도 4】



### 【도 5】



### 【도 6】

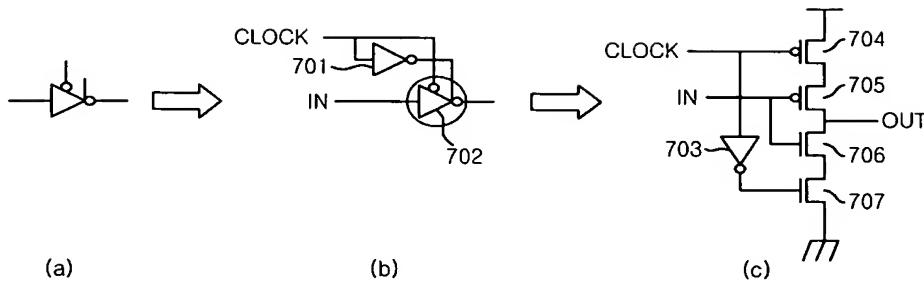




0030034876

출력 일자: 2003/10/29

【도 7】



【도 8】

